

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 63239873  
PUBLICATION DATE : 05-10-88

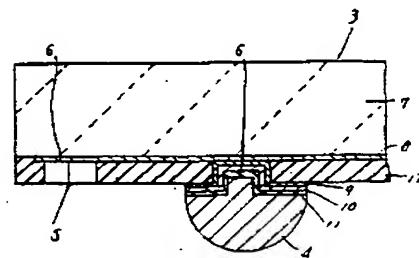
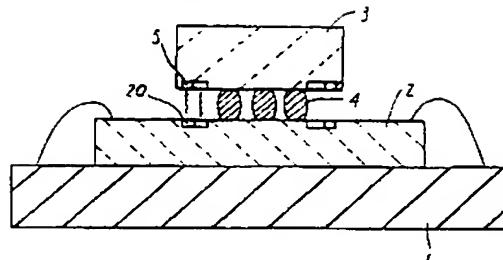
APPLICATION DATE : 27-03-87  
APPLICATION NUMBER : 62071499

APPLICANT : HITACHI COMPUT ENG CORP LTD;

INVENTOR : YAMADA HIDEYUKI;

INT.CL. : H01L 31/12 H01L 23/52

TITLE : MULTICHIP MODULE



**ABSTRACT :** PURPOSE: To improve the reliability of a module by associating a light emitting element or a photodetector with a slave chip and a mother chip to form a signal line with a light between both elements, bonding the slave chip to the mother chip, and forming a power line through bump electrodes.

CONSTITUTION: A mother chip 2 is bonded onto a substrate 1, a slave chip 3 is bonded through bump electrodes 4 on the chip 2, and a light emitting element 5 is associated with the chip 3. The element 5 is associated in the chip 3 by utilizing a bonding pad (electrode) 6 disposed on the periphery of the rectangular chip 3, a bonding metal layer made of a Cr layer 9, a Cu layer 10 and an Au layer 11 is formed on the pad 6, and a semispherical bump electrode 4 is formed of Sn-Pb. A photodetector 20 is associated at a position corresponding to the element 5 at the chip 2.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭63-239873

⑤Int.Cl.  
H 01 L 31/12  
23/52

識別記号 庁内整理番号  
A-7733-5F  
8728-5F

⑥公開 昭和63年(1988)10月5日

審査請求 未請求 発明の数 1 (全5頁)

⑦発明の名称 マルチチップモジュール

⑧特願 昭62-71499

⑨出願 昭62(1987)3月27日

⑩発明者 山田秀行 神奈川県秦野市堀山下1番地 日立コンピュータエンジニアリング株式会社内  
⑪出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑫出願人 日立コンピュータエンジニアリング株式会社 神奈川県秦野市堀山下1番地  
⑬代理人 弁理士 小川勝男 外1名

明細書

1. 発明の名称

マルチチップモジュール

2. 特許請求の範囲

1. 固體基板に複数の半導体チップを当該チップの突起電極により接合して成る構造を有するマルチチップモジュールにおいて、前記半導体チップの電極部および前記配線基板の当該チップの電極部に対応する位置にそれぞれ発光素子または受光素子を組込みして、これら素子により半導体チップと配線基板間の信号の入出力をを行うようにして成ることを特徴とするマルチチップモジュール。

2. 信号の入出力が、レーザー光により行うようにして成る、特許請求の範囲第1項記載のマルチチップモジュール。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマルチチップモジュールに関し、特に、該マルチチップモジュールにおいて、光により信

号の入出力を行うようにしてなるマルチチップモジュールに関する。

〔従来の技術〕

従来のマルチチップモジュールにおける、子チップとマザーチップとの接合には、一般に、ベンブ(突起電極)を用いた、いわゆるコントロールド・コラップス・ポンディング(CCB)方式がとられている。

すなわち、当該モジュールの一例は、論理回路やメモリ回路機能の形成されたS-Iチップ(子チップ)を、複数、当該チップ内の内部配線と接続したSn-Pb半球状ベンブの溶融(リフロー)により、薄膜多層配線S-I基板(マザーチップ)に接合(フェイスダウンポンディング)する。当該マルチチップモジュールにおいては、上記突起電極を介して、電源の供給および信号の入出力(I/O)が行われる。

なお、上記のごときCCB方式によるマルチチップモジュールについて述べた文献の例としては、日経マグロクヒル社発行「日経エレクトロニクス」

1984年9月24日号P281~285があげられ、また、CCB方式について述べた文献の例としては、1980年1月15日(株)工業調査会発行日本マイクロエレクトロニクス協会編「IC化実益技術」P81があげられる。

〔発明が解決しようとする問題点〕

上記のように、従来例では、突起電極によるCCB方式により、子チップとマザーチップとを接合しており、かつ、電源ラインのみならず信号ラインも当該突起電極を介して接続している。

そのため、当該突起電極を構成する半田バンブが熱的影響などにより破断した場合、信号ラインの接続が断たれることがある。

本発明は、かかるCCB方式によるマルチチップモジュールにおいて、上記のごとき事態を回避して当該モジュールの信頼性を向上させることのできる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

次に、本発明の実施例を図面に基づいて説明する。

第1図は本発明の一実施例を示す原理図である。

基板1上には、マザーチップ2が接合され、さらに、該マザーチップ2上には、子チップ3が、突起電極4を介して接合されている。

基板1は、例えば方形のSiC基板により構成されている。

マザーチップ2は、例えば薄膜多層配線SiC基板により構成されている。

子チップ3は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路およびメモリの回路機能が形成されている。

子チップ3には発光素子5が組込まれている。

第3図に当該子チップ3の要部構成断面図を示す。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの大要を簡単に説明すれば、下記のとおりである。

本発明では、子チップおよびマザーチップに、発光素子または受光素子を組込むようにして、これら発光素子と受光素子の間で、光による信号ラインを形成するようにし、一方、子チップとマザーチップとの接合は従来のようにCCB方式により行ない、かつ、当該突起電極を介して電源ラインを形成するようにした。

〔作用〕

このように、CCB方式によるマルチチップモジュールにおいて、その信号ラインを、突起電極を介して形成するのではなく、光により信号のI/Oを行なうようにしたので、従来のごとく突起電極が破断して信号ラインが破断されるということがなくなり、マルチチップモジュールの信頼性を向上させることができる。

〔実施例〕

当該発光素子5は、方形の子チップ3の周辺に配設されたポンディング用パッド部(電極部)6を利用して、当該子チップ3の内部に組込みする。

第3図にて、7はデバイス、8はAl<sub>2</sub>O<sub>3</sub>電極配線(内部配線)で、上記パッド部6に、同図に示すように、Cr層9、Cu層10およびAu層11よりなる接着用金属層を施した後に、Sn-Pbよりなる半球状の突起電極4を形成する。

パッド部6の形成は、デバイス7表面のデバイス表面保護膜12にホトレジスト技術などにより穴をあけることにより形成できる。

前記のごとく当該パッド部6を利用して発光素子5を組みする。

発光素子5は、例えば半導体レーザーより成る。

第4図に当該素子5の一例構成図を示す。

第4図にて、13はp型半導体、14は接合部、15はn型半導体、16は電極、17は電極、18は電源、19はレーザー光である。

マザーチップ2には、当該発光素子5に対応する位置に、受光素子20を、第1図に示すように

組込みする。

受光素子 20 には、発光素子 5 から発した光を電気に変換する働きのある素子であればいかなるものでも使用できる。受光素子 20 の例には、P-N 接合をもち、光が当ると起電力を生じるようなレーザー受光素子があげられる。

第 5 図および第 6 図は、本発明の原理を利用したマルチチップモジュールの構成断面図の二三の例を示す。

第 5 図に示すマルチチップモジュールは、例えば、あらかじめ、子チップ 3 を、複数、突起電極 4 のリフローにより接合したマザーチップ 2 を、基板 1 に接合し、マザーチップ 2 の配線と、基板 1 の導体 21 とを、ポンディング用ワイヤ 22 により接続し、該導体 21 と、外部リード 23との間を、当該基板 1 の内部配線 24 により接続し、キャップ 25 を取付けすることにより得られる。

第 6 図に示すマルチチップモジュールは、例えば、先ず、SIC 基板 1 に S I 配線基板 2 接着用パッドのメタライゼーションを施し、封止用グラ

び、リード 27 を経て外部へと出力される。

本発明では、上記のように、子チップ 3 とマザーチップ 2 間の信号の入出力を、発光素子 5 や受光素子 20 により、やりとりするようにしたので、突起電極 4 の半田疲労などがあり破断があっても、当該信号ラインを破壊することを回避することができ、マルチチップモジュールの信頼性を向上させることができた。

以上本発明者によってなされた発明を実施例にまとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

本発明は C C B 接合方式による半導体装置全般に適用することができる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、破断の生じ易い突起電極を用

ス 26 で、リード 27 とフランジ(枠) 28 とを接着する。あらかじめ、子チップ 3 をフェイスダウンポンディングした S I 配線基板 2 を、S I C 基板 1 のパッドにハンダ付けする。S I 配線基板 2 の端子とリード 27 をポンディング用ワイヤ 22 によりワイヤポンディング後、キャップ 29 を接着し、さらに、フィン 30 を S I C 基板 1 に接着する。

当該マルチチップモジュールにおける信号の入出力系統図を第 2 図に示す。

当該信号の I / O を第 6 図に示すモジュールに従い説明すると、(外部) リード 27 からの、外部信号 31 は、マザーチップ 2 の入力回路 32、レーザー変換回路 33 を経て、レーザー光 19 に変換され、子チップ 3 内に入り、該子チップ 3 内の電気信号変換回路 34、内部論理回路 35、レーザー変換回路 36 を経て、該子チップ 3 外にレーザー光 19 として発光し、該レーザー光 19 を、マザーチップ 2 が受光し、該マザーチップ 2 における電気信号変換回路 37 および出力回路 38 を経て、再

いたマルチチップモジュールにおける信頼性を向上させることに成功した。

#### 4. 図面の簡単な説明

第 1 図は本発明の実施例を示す原理図。

第 2 図は本発明による信号の入出力の一例を示す回路系統図。

第 3 図は本発明の実施例を示す要部断面図。

第 4 図は半導体レーザーの一例構成図。

第 5 図は本発明の実施例を示すマルチチップモジュールの構成断面図。

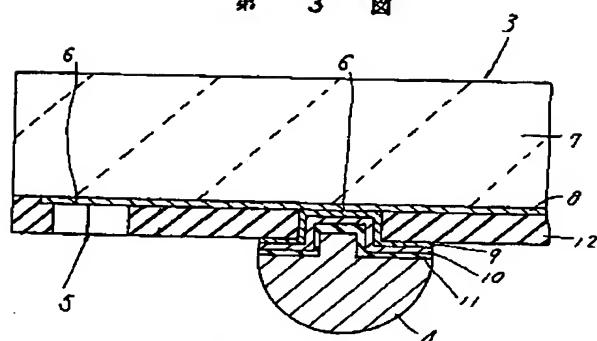
第 6 図は本発明の他の実施例を示すマルチチップモジュールの構成断面図である。

1 … 基板、2 … マザーチップ、3 … 子チップ、4 … 突起電極、5 … 発光素子、6 … 電極部、7 … デバイス、8 … 内部配線、9 … Cr 層、10 … Cu 層、11 … Al 層、12 … デバイス表面保護膜、13 … p 型半導体、14 … 接合部、15 … n 型半導体、16 … 電極、17 … 電極、18 … 電源、19 … レーザー光、20 … 受光素子、21 … 导体、22 … ポンディング用ワイヤ、23 … 外部リード、24

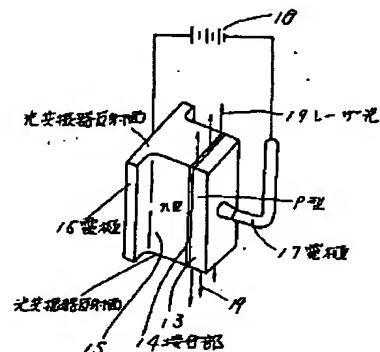
— 内部配線、25—キャップ、26—封止用ガラス、27—リード、28—枠、29—キャップ、30—フィン、31—外部信号、32—入力回路、33—レーザー交換回路、34—電気信号交換回路、35—内部論理回路、36—レーザー交換回路、37—電気信号交換回路、38—出力回路。

代理人弁理士 小川勝男

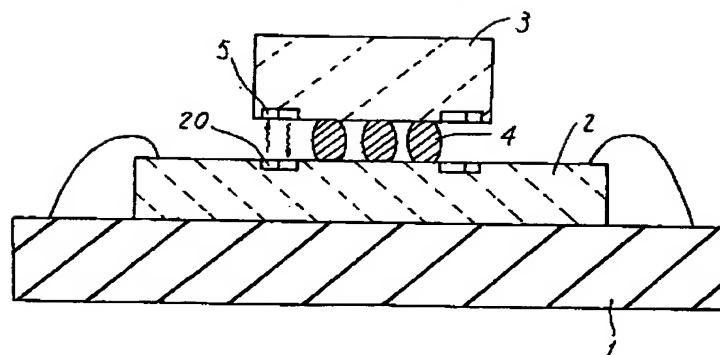
第3図



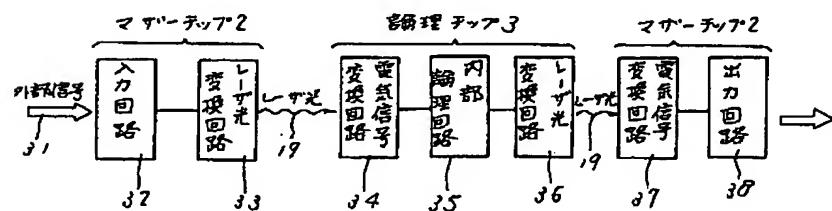
第4図



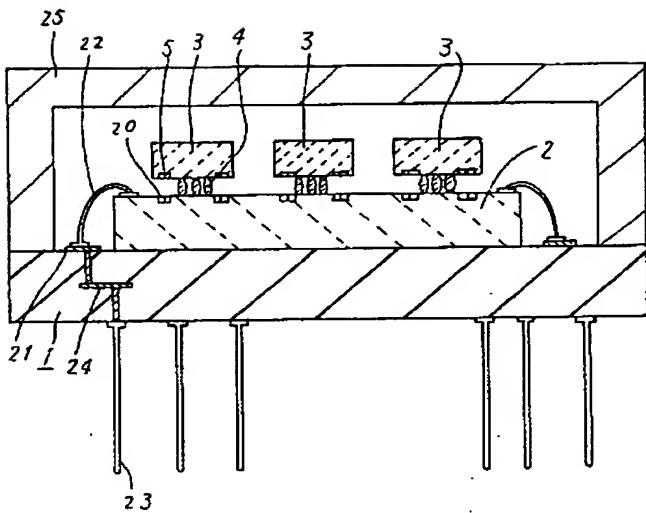
第1図



第2図



第 5 図



第 6 図

